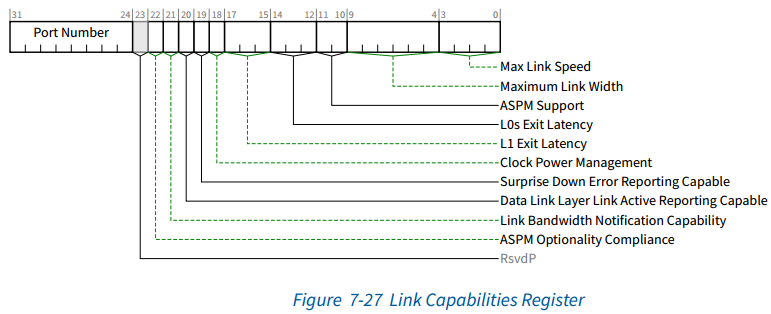
# PCI Express Capability

## Link Capabilities Register (Offset 0Ch)



### Surprise Down Error Reporting Capable（已实现）

For a Downstream Port, this bit must be Set if the component supports the optional capability of detecting and reporting a Surprise Down error condition.

For Upstream Ports and components that do not support this optional capability, this bit must be hardwired to 0b

该字段的值对于下行端口，如果组件支持检测和报告Surprise Down错误条件的可选能力，则必须设置此位。

对于不支持此可选功能的上游端口和组件，必须将此位硬连接到0b

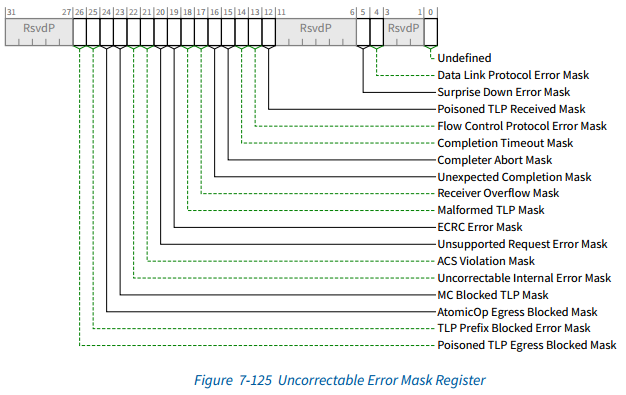
225已实现，该Surprise Down Error Reporting Capable字段表示是否支持Surprise Down错误报告能力，对应pcie5\_pexreg模块中k\_pexconf [`KPEXCONF\_ LINK\_SURPDOWN]信号，该信号为第83bit。该信号会和取反的k\_upstr信号进行与操作，表示该字段仅支持下游端口可以使用该能力，上游端口不支持该能力。该字段会和其他字段拼接后赋值给pex0c信号并向上输出出去，输出的该字段信号在其他模块中并没有使用到。

在pcie5\_mfpowermgt中，在k\_pexconf[`KPEXCONF\_LINK\_SURPDOWN]信号置1情况下，对于DSP端口，会将shb\_dl\_active信号进行打拍处理。其中shb\_dl\_active信号是来自pcie5\_dlcmsm模块的dlcmsm\_act信号，该信号表示当前数据链路控制和管理状态机（dlcmsm）处于DL\_Acive状态，否则dlcmsm\_act信号就会拉低。如果检测到shb\_dl\_active信号的下降沿，即退出DL\_Active状态，那么就会将surprise\_down拉高，该surprise\_down信号是一个意外退出的标志信号。当surprise\_down信号拉高，便会引起链路的复位请求操作，即link\_reset\_req便会拉高；当surprise\_down信号拉高，此时pme\_turn\_off\_msg\_sent也不会拉高，表示该类消息报文也不会进行发送；当surprise\_down信号拉高，rx\_pme\_ack\_received信号会做清零操作，这个信号表示不会对接收到的pme消息报文进行回应。

另外，surprise\_down信号拉高会触发Surprise Down Error Report报告，此时err\_surpdwn\_dll信号会拉高，因此当surprise\_down拉低时，便不会触发错误报告操作，此时该信号也会拉低。虽然协议要求支持Surprise Down Error Report能力下行端口要将状态从DL\_Active进入到DL\_Inactive视为Surprise Down Error，并对该错误进行上报处理，但是协议也规定了一些额外情况导致的DL\_Active进入到DL\_Inactive是不被认为Surprise Down Error，这个时候err\_surpdwn\_dll信号也不会被拉高。这些额外情况主要包括以下几种：

1. 如果软件设置了Bridge Control Register的Secondary Bus Reset，那么由此导致DL\_Active到DL\_Inactive的转换不能被认为是Error。
2. 如果软件设置了Link Control Register的Link Disable，那么由此导致DL\_Active到DL\_Inactive的转换不能被认为是Error。
3. 如果Switch下游端口由于该端口上面的事件而转换为DL\_Inactive，则该转换为DL\_Inactive不能被视为Error。示例事件包括Switch上行端口传播热复位，Switch上行链路切换到DL\_Down，以及Switch上行端口的Secondary Bus Reset被设置。
4. 如果PME\_Turn\_Off消息已经通过该端口发送，那么由此导致DL\_Active到DL\_Inactive的转换不能被认为是Error。
5. 如果端口与热插拔插槽(Slot Capabilities Register的Hot-Plug Capable)相关联，并且Slot Capabilities Register中的Hot-Plug Surprise被设置，那么任何到DL\_Inactive的转换都不能被视为Error。
6. 如果端口与热插拔插槽(Slot Capabilities Register的Hot-Plug Capable)相关联，并且Slot Control Register中的Power Controller Control设置为(Power-off)，则任何转换到DL\_Inactive都不能被视为Error。

在pcie5\_mfpowermgt中的err\_surpdwn\_dll信号会输出到pcie5\_errmgt模块的err\_surpdwn信号中，err\_surpdwn信号会与其他错误标志信号按照AER扩展寄存器下Uncorrectable Error Status Register中的每个错误对应字段顺序进行拼接赋值给unc\_deterr信号和unc\_logerr信号。unc\_deterr信号会与取反的Uncorrectable Error Mask Register进行按位与操作，赋值给unc\_deterr\_nomask信号，该信号表示没有被Mask掉的错误标志信号，其位宽为32bit。unc\_deterr信号和unc\_deterr\_nomask信号会用作Device Status Register的Non-Fatal Error Detected和Fatal Error Detected字段的标志信号，无论是否支持AER错误处理，当检测到相关错误时，必须要将该字段的信号拉高用来指示当前设备发生非致命错误或致命错误。





unc\_logerr信号同样会和取反的Uncorrectable Error Mask Register进行按位与操作，并赋值给unc\_logerr\_nomask信号，该信号会用来作为log错误指针和log记录能力的判断条件。但是对于surprise down错误类型，没有相关联的TLP头进行记录。

另外，在pcie5\_errmgt模块中有与Surprise Down Error相关的字段在AER寄存器中。Uncorrectable Error Status Register中的Surprise Down Error Status字段对应pcie5\_errmgt模块的surpdwn\_errunc信号，如果不支持Surprise Down Error Reporting Capable或者错误被清除，那么surpdwn\_errunc信号置0；否则如果err\_surpdwn信号拉高或者第一错误指针（First Error Pointer）指到surprise down所在的位置，那么surpdwn\_errunc信号置1，表示当前发生Surprise Down Error需要将该错误对应的状态为拉高。



Uncorrectable Error Mask Register中的Surprise Down Error Mask字段表示对Surprise Down Error进行屏蔽，对应pcie5\_errmgt模块的surpdwn\_mskunc信号。如果当前不支持Surprise Down Error Reporting Capable，那么该字段需要置0；否则当APB配置地址cfg\_addr=208h时，将cfg\_wdata[5]赋值给surpdwn\_mskunc。



Uncorrectable Error Severity Register中的Surprise Down Error Severity字段表示当错误的严重程度，当该字段置1，表示当前错误是一个致命错误（Fatal Error）；而当该字段置0，则表示当前错误是一个非致命错误（Non-Fatal Error）。该字段对应pcie5\_errmgt模块的surpdwn\_sevunc信号，在支持Surprise Down Error Reporting Capable情况下，如果APB配置地址cfg\_addr=12’h20C时，将cfg\_wdata[5]赋值给surpdwn\_sevunc信号。



### Data Link Layer Link Active Reporting Capability（已实现）

For a Downstream Port, this bit must be hardwired to 1b if the component supports the optional capability of reporting the DL\_Active state of the Data Link Control and Management State Machine. For a hot-plug capable Downstream Port (as indicated by the Hot-Plug Capable bit of the Slot Capabilities Register) or a Downstream Port that supports Link speeds greater than 5.0 GT/s, this bit must be hardwired to 1b.

For Upstream Ports and components that do not support this optional capability, this bit must be hardwired to 0b.

对于下行端口，如果组件支持报告数据链路控制和管理状态机的DL\_Active状态的可选功能，则该位必须硬连接到1b。对于支持热插拔的下行端口(如Slot Capabilities Register中的“Hot-Plug Capable”所示)或支持大于5.0 GT/s的链路速度的下行端口，该位必须硬连接到1b。

对于不支持此可选功能的上游端口和组件，必须将此位硬连接到0b。

225已实现，该字段表示下行端口是否支持报告数据链路控制和管理状态机的DL\_Active状态，并且该字段对应pcie5\_pexreg模块中的k\_dll\_report\_cap信号，该信号是通过k\_pexconf[`KPEXCONF\_LINK\_DLACTIVE] & (~k\_upstr)进行赋值的，其中k\_pexconf的第84bit是通过赋固定值1来进行配置支持的，并且只有下行端口支持配置此功能。该字段会和其他字段拼接后赋值给pex0c信号后输出出去。输出出去的该字段信号在其他模块中并没有再被使用过。

在pcie5\_pexreg模块中，k\_dll\_report\_cap信号会和shb\_dl\_active信号进行与操作之后赋值给linkact\_dll信号该信号对应Link Status Register的Data Link Layer Active字段，该字段表示当前数据链路控制和管理状态机所处的状态，并且只要支持报告数据链路控制和管理状态机的DL\_Active状态的能力，那么该字段必须配置实现。其中shb\_dl\_active信号是来自pcie5\_dlcmsm模块的dlcmsm\_act信号，该信号表示当前数据链路控制和管理状态机（dlcmsm）处于DL\_Acive状态，否则dlcmsm\_act信号就会拉低。



在pcie5\_pexreg模块中，k\_dll\_report\_cap信号会用作Slot Control Register中Data Link Layer State Changed Enable字段的判断条件，只有k\_dll\_report\_cap有效并且当前配置地址cfg\_addr==12’h098时，才会将cfg\_wdata[12]赋值给dlink\_ change\_state\_en，该字段表示如果“数据链路层链路活动报告能力”为1b，则该位在数据链路层链路活动位发生变化时启用软件通知功能。



在pcie5\_pexreg模块第1006行中，k\_dll\_report\_cap信号有效时，linkact\_dll会打一拍存储到linkact\_dll\_r信号中，linkact\_dll\_r和linkact\_dll信号用来判断Data Link Layer是否发生改变，即dll\_chgd信号，该信号对应Slot Status Register的Data Link Layer State Changed，当linkact\_dll\_r和linkact\_dll信号不相等时，该字段置1表示Link Status Register的Data Link Layer Link Active字段发生改变，否则置0。为了响应数据链路层状态改变事件，软件必须在热插拔设备启动配置周期之前，读取Link Status Register的Data Link Layer Active位，以确定链路是否活动。



在pcie5\_pexreg模块第1034行中，dll\_chgd信号和dlink\_change\_state\_en信号会用来作为hotplug\_int\_status信号的判断条件，当这两个信号都有效时，那么hotplug\_int\_status信号便会拉高，该信号是一个中断状态信号，这个信号会输出到pcie5\_intreg模块中。并且在pcie5\_intreg模块中，如果hotplug\_int\_status信号拉高之后便会引起MSI中断并通知上层需要中断处理。同时该hotplug\_int\_status信号会打拍存储之后报告通知application。

在pcie5\_pexreg模块第1050行中，linkact\_dll、linkact\_dll\_r、dll\_chgd以及dlink\_change\_state\_en信号会共同决定hotplug\_pme\_event信号。如果启用数据链路层链路活动位发生变化的软件通知功能，即dlink\_change\_state\_en置1，并且在linkact\_dll和linkact\_dll\_r不相等，即数据链路层发生状态变化；那么hotplug\_ pme\_event信号便会拉高。同时该信号会输出到pcie5\_powermgt模块中，在该模块中如果hotplug\_pme\_event信号置1时，那么pme\_status信号会置1。

另外，Link Status Register的Data Link Layer Active字段会向上传输到hsio\_ top\_pipe模块中，在该模块中每个port下的该寄存器字段会按照port的端口顺序将其拼接为32bit的tl\_dll\_active信号，其中port0端口也就是USP端口对应的tl\_dll\_active[0]固定赋值为1；并且在hsio\_ top\_pipe模块中tl\_dll\_active[31:1]会用做brsw\_out\_bit1以及tl\_pm\_turn\_off\_gather信号的判断条件，tl\_dll\_active[31:0]会用作tl\_npcred\_avail信号的判断条件。tl\_dll\_active信号会作为decoder模块和hsio\_ltr\_compare模块的输入信号。在decoder模块中该信号用来判断对应port端口传送来TLP报文时候，数据链路层的控制与管理状态机是否处于正常的工作状态；如果存在数据链路层没有处于正常工作的状态，那么就会将该TLP报文丢弃掉不会传送。在hsio\_ltr\_compare模块中，tl\_dll\_active信号（第0bit置为0）是用作LTR消息报文更新的三个判断事件之一，如果tl\_dll\_active由高电平变为低电平，即表示dlcmsm状态机从DL\_Active状态进入到DL\_Down状态，那么就会触发LTR消息报文更新。

### Link Bandwidth Notification Capability（已实现）

A value of 1b indicates support for the Link Bandwidth Notification status and interrupt mechanisms. This capability is required for all Root Ports and Switch Downstream Ports supporting Links wider than x1 and/or multiple Link speeds.

This field is not applicable and is Reserved for Endpoints, PCI Express to PCI/PCI-X bridges, and Upstream Ports of Switches.

Functions that do not implement the Link Bandwidth Notification Capability must hardwire this bit to 0b

该字段置1b表示支持链路带宽通知状态和中断机制。所有支持大于x1和/或多个链路速度的Root Ports和Switch下游端口都需要此功能。

该字段不适用于EP、PCI Express到PCI/PCI- x桥、Switch上游端口，并且该字段为保留位。

不实现链路带宽通知能力的Function必须将此位硬连接到0b

225已实现，该字段对应pcie5\_pexreg模块中的k\_bdw\_notification信号，该字段通过判断条件进行置1或置0操作，并且判断条件即为协议中规定的，当该端口为DSP，并且当前的链路宽度大于1或者当前支持多个链路速率（当前支持大于5GT/s的速率），那么就会将该k\_bdw\_notification信号置1，否则置0。该k\_bdw\_notification信号和其他字段拼接后赋值给pex0c信号并输出出去，在外部其他模块并没有使用该字段信号。

在pcie5\_pexreg模块中，k\_bdw\_notification信号会用作Link Control Register中Link Bandwidth Management Interrupt Enable和Link Autonomous Bandwidth Interrupt Enable以及Link Status Register中Link Bandwidth Management Status和Link Autonomous Bandwidth Status这四个字段的判断条件。其中Link Bandwidth Management Interrupt Enable和Link Autonomous Bandwidth Interrupt Enable表示带宽中断使能开关，Link Bandwidth Management Status和Link Autonomous Bandwidth Status表示带宽状态变化。

对于Link Control Register的Interrupt Enable，当k\_bdw\_notification信号置1并且cfg\_addr=12’h090时，那么Interrupt Enable的对应信号才会配置进去，即link\_bw\_mgt\_int\_en <= cfg\_wdata[10]，link\_auto\_bw\_int\_en <= cfg\_wdata[11]，这两个信号会作为对应字段拼接后赋值给pex10[15:0]，其中cfg\_wdata是APB数据写信号。



对于Link Status Register的Link Bandwidth Management Status和Link Autonomous Bandwidth Status，如果k\_bdw\_notification信号置0，也就是不支持带宽通知功能，那么这两个状态信号始终置0；否则在LTSSM模块中对应的控制信号shb\_link\_bw\_mng\_set和shb\_link\_auto\_bw\_set（这两个信号的触发会在后面介绍）置1并且APB配置地址和数据进行赋值的时候，这两个状态信号link\_bw\_mng\_status和link\_auto\_bw\_status才会拉高置1。



当Link Status的带宽状态信号Link Bandwidth Management Status和Link Autonomous Bandwidth Status置1，并且只有DSP端口以及Interrupt Enable置1的时候，link\_bw\_int\_status和auto\_bw\_int\_status中断状态信号才会置1。这两个中断状态信号置1表示DSP端口当前支持带宽通知能力，并且对应类型的中断使能开启以及对应类型的带宽变化状态拉高。这两个中断信号会单独输出出去到pex\_intreg模块中，这两个信号分别控制相应的控制信号linkbw\_int\_sent\_r和autobw\_int\_sent\_r以及进入对应状态DNMSI\_LBW和DNMSI\_ABW，在这两个状态下，pex\_intreg模块会和pcie5\_cfgrw模块交互并向上传送对应类型的MSI消息报文。最终完成对应类型下带宽通知的中断操作。

另外，shb\_link\_bw\_mng\_set和shb\_link\_auto\_bw\_set两个控制信号对应LTSSM模块中的bw\_mgt\_set和auto\_bw\_set。这两部分控制逻辑是用来刷新Link Status寄存器的Link Bandwidth Management status和Link Autonomous Bandwidth status两部分。这部分控制信号只针对DSP，对USP不适用。

1) 在从Recovery状态进入Configuration.Lanenum.Accept状态情况下，只要一下两种情况中的一个满足，那么就将bw\_mgt\_set拉高，并更新该值到Link Status Register的对应bit中：

a) 如果带宽变化是由于DSP的可靠性问题引起的，那么bw\_mgt\_set需要置1；

b) 如果带宽变化不是由于DSP引起，并且接收到的连续2个TS1序列中的Autonomous Change（symbol 4 bit 6）为0，那么bw\_mgt\_set需要置1；

而如果上述两种情况都不满足，那么就将auto\_bw\_set置1，即Link Autonomous Bandwidth Status置1。

2) 在从Recovery.Idle或Configuration.Idle状态进入到L0状态，并且通过软件写入Link Control寄存器的Retrain Link位为1，那么bw\_mgt\_set需要置1；

3) 在Recovery.Speed状态，如果速率协商成功（successful\_speed\_negotiation置1），并且连续8个TS2序列都有Autonomous Change置1，那么控制信号auto\_bw\_set置1；否则如果上述条件不满足，那么就将bw\_mgt\_set置1，auto\_bw\_set置0。